

Docket No.: 67160-014

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Tetsuya MATSUURA, et al. :
Serial No.: : Group Art Unit:
Filed: July 29, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURE THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

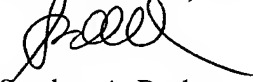
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-040787, filed February 19, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 29, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

G 711 US
67160-014
Tetsuya Matsuura, et al
July 29, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月19日

出 願 番 号

Application Number:

特願2003-040787

[ST.10/C]:

[JP2003-040787]

出 願 人

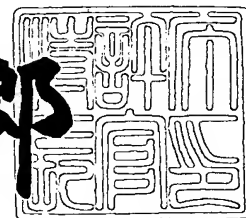
Applicant(s):

三菱電機株式会社

2003年 3月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015209

【書類名】 特許願

【整理番号】 541630JP01

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 松浦 哲也

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 道井 一成

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 柴田 潤

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 板東 晃司

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100082175

 【弁理士】

 【氏名又は名称】 高田 守

 【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100117695

【弁理士】

【氏名又は名称】 大塚 環

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板と、前記基板の主面に配置されて樹脂封止された半導体チップと、を含む第 1 の半導体と、

実装基板と、

前記実装基板と、前記基板との間に配置されたスペーサと、

前記実装基板と、前記基板と、前記スペーサとにより形成される空間に、前記実装基板に電氣的に接続して配置された第 2 の半導体と、

を備え、

前記スペーサは、前記第 1 の半導体と、前記実装基板とを、電氣的に接続することを特徴とする半導体装置。

【請求項 2】

前記第 2 の半導体は、前記実装基板上に複数個配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体装置用のスペーサが複数個連続して形成されたスペーサ基板の、個々の前記スペーサに、第 1 の半導体を搭載する第 1 の半導体搭載工程と、

前記個々のスペーサの、第 1 の半導体が接続された部分とは反対側に、かつ、前記第 1 の半導体と同一方向に向けて、それぞれ、第 2 の半導体を搭載する第 2 の半導体搭載工程と、

前記スペーサ基板を、前記半導体装置ごとに分割する分割工程と、

を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置及び半導体装置の製造方法に関する。更に具体的には、1 の装置内に、複数の半導体チップを備える半導体装置及びその製造方法に関するものである。

【従来の技術】

【0002】

近年、電子機器の小型化、高機能化などの要求の高まりに伴って、電子機器内に搭載される半導体装置に対しても、小型化、高機能化の要求が高まっている。このような要求に応じ、半導体装置を小型化、高機能化する種々の手段の研究がなされているが、このような手段の1つとして、1の半導体装置のパッケージ内に、複数の半導体を重ねて実装する方法が考えられている。

【0003】

複数の半導体装置を1のパッケージ内に重ねて実装する方法としては、例えば、上段に配置する半導体を搭載する基板の背面に凹部を形成し、この凹部の空間内に、下段用の半導体を収納するようにして配置するものなどがある（例えば、特許文献1参照。）。

【0004】

【特許文献1】

特開平11-112121号公報

【0005】

【発明が解決しようとする課題】

しかし、このような構造の半導体装置を製造する場合、上段に配置される半導体の基板に、凹部を形成するため、ザグリ加工を施さなければならない。このため、この基板自体の製造に時間及び費用がかかることとなり、結果的に、半導体装置全体の製造時間及び製造費用の増大に繋がることになってしまう。

【0006】

したがって、この発明は、上述のような問題を解決しすることを目的として、半導体装置の製造時間及び製造費用を抑えつつ、半導体装置の小型化、高機能化を図ることができるパッケージを用いた半導体装置及びその製造方法を提案するものである。

【0007】

【課題を解決するための手段】

したがって、この発明の半導体装置は、基板と、前記基板の主面に配置されて

樹脂封止された半導体チップと、を含む第 1 の半導体と、
 実装基板と、
 前記実装基板と、前記基板との間に配置されたスペーサと、
 前記実装基板と、前記基板と、前記スペーサとにより形成される空間に、前記
 実装基板に電氣的に接続して配置された第 2 の半導体と、
 を備え、
 前記スペーサは、前記第 1 の半導体の端子と、前記実装基板の端子とを、電氣
 的に接続するものである。

【 0 0 0 8 】

また、この発明の半導体装置の製造方法は、半導体装置用のスペーサが複数個
 連続して形成されたスペーサ基板の、個々の前記スペーサに、第 1 の半導体を搭
 載する第 1 の半導体搭載工程と、

前記個々のスペーサの、第 1 の半導体が接続された部分とは反対側に、かつ、
 前記第 1 の半導体と同一方向に向けて、それぞれ、第 2 の半導体を搭載する第 2
 の半導体搭載工程と、

前記スペーサ基板を、前記半導体装置ごとに分割する分割工程と、
 を備えるものである。

【 0 0 0 9 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。なお、各図にお
 いて、同一または相当する部分には同一符号を付してその説明を簡略化ないし省
 略する。

【 0 0 1 0 】

実施の形態 1.

図 1 は、この発明の実施の形態 1 における半導体装置 1 0 0 を説明するための
 断面図である。また、図 2 は、半導体装置 1 0 0 を説明するための一部透視図を
 含む背面図である。

図 1 3 を参照して、半導体装置 1 0 0 には、実装基板 2 に配置された下段半導
 体 2 0 0 と、上段半導体 3 0 0 とが配置されている。上段半導体 3 0 0 は、スベ

ーサ 4 0 0 を介して、実装基板 2 と、所定の間隔を持って配置され、下段半導体 2 0 0 は、実装基板 2 と、スペーサ 4 0 0 と、上段半導体 3 0 0 とによって囲まれる空間内に配置されている。但し、図 2 では、実装基板 2 を透視した状態を表している。

以下、図を用いて、半導体装置 1 0 0 の具体的な構造について説明する。尚、この明細書において、図 1 における上方側を、半導体装置 1 0 0 の各部材の主面側と称し、主面側に対向する面側（即ち、図 1 においては、下方側）を、背面側と称することとする。

【 0 0 1 1 】

実装基板 2 には、下段半導体 2 0 0 用のランド 4 と、上段半導体 3 0 0 用のランド 6 とが、それぞれ、複数配置されている。下段半導体 2 0 0 用のランド 4 は、奥行き方向、即ち、図 1 において紙面に垂直な方向に、2 列平行に、所定の数ずつ並べられて配置されている。上段半導体 3 0 0 用のランド 6 は、ランド 4 の列より外側に、奥行き方向に、2 列平行に、所定の数ずつ並べられて配置されている。また、各ランド 4、6 は、それぞれ、外部の電極に接続可能な端子（図示せず）に接続され、外部との電氣的な接続が可能となっている。

【 0 0 1 2 】

下段半導体 2 0 0 において、基板 2 0 2 の主面上に、半導体チップ 2 0 4 が配置されている。また、半導体チップ 2 0 4 の主面には、複数のボンディングパッド 2 0 6 が、半導体チップ 2 0 4 主面の奥行き方向に平行な、互いに対向する 2 辺に沿って、2 列に並べられて配置されている。各ボンディングパッド 2 0 6 には、それぞれ、ワイヤ 2 0 8 の一端が接続されている。また、基板 2 0 2 主面の半導体チップ 2 0 4 の外側には、複数のパッド 2 1 0 が、各ボンディングパッド 2 0 6 に対応して、奥行き方向に 2 列に並べられて配置されている。各ワイヤ 2 0 8 の他端は、それぞれ、パッド 2 1 0 に接続されている。このように、各ボンディングパッド 2 0 6 が、それぞれ、ワイヤ 2 0 8 を介してパッド 2 1 0 に接続された状態で、半導体チップ 2 0 4 は、絶縁樹脂 2 1 2 により、基板 2 0 2 主面上に樹脂封止されている。

【 0 0 1 3 】

一方、図 1 3 を参照して、基板 2 0 2 の背面には、各パッド 2 1 0 に対応する位置に、即ち、基板 2 0 2 の奥行き方向に平行な、互いに対向する 2 辺に沿って、複数のランド 2 1 4 が 2 列に並べられて配置されている。各パッド 2 1 0 と、各ランド 2 1 4 とは、基板 2 0 2 に設けられたスルーホール 2 1 6 を介して接続されている。スルーホール 2 1 6 には、導電体が充填され、これによって、各パッド 2 1 0 と、各ランド 2 1 4 との電気的な接続が可能となっている。また、各ランド 2 1 4 には、それぞれ、半田ボール 2 2 0 が設けられている。半田ボール 2 2 0 は、実装基板 2 に配置された下段半導体 2 0 0 用のランド 4 上に接続されている。

【 0 0 1 4 】

このように、半導体装置 2 0 0 において、半導体チップ 2 0 4 の各ボンディングパッド 2 0 6 は、それぞれ、ワイヤ 2 0 8 を介して、パッド 2 1 0 に接続されている。また、各パッド 2 1 0 は、それぞれ、スルーホール 2 1 6 を介して、ランド 2 1 4 に接続されている。更に、各ランド 2 1 4 は、半田ボール 2 2 0 により、実装基板 2 上のランド 4 に接続されている。このようにして、半導体チップ 2 0 4 は、外部との電気的な接続が可能となっている。

【 0 0 1 5 】

また、上段半導体 3 0 0 も、下段半導体 2 0 0 とほぼ同様に構成されている。すなわち、上段半導体 3 0 0 は、基板 3 0 2 上に、半導体チップ 3 0 4 が配置され、半導体チップ 3 0 4 は、その主面上のボンディングパッド 3 0 6 が、ワイヤ 3 0 8 により、パッド 3 1 0 に接続された状態で、封止樹脂 3 1 2 により、基板 3 0 2 主面上に封止されている。また、各パッド 3 1 0 は、それぞれ、ランド 3 1 4 に、スルーホール 3 1 6 を介して接続されている。

【 0 0 1 6 】

但し、下段半導体 2 0 0 とは異なり、上段半導体 3 0 0 のランド 3 1 4 には、半田ボール 2 2 0 は、設けられていない。ランド 3 1 4 には、半田ボールに代えて、半田ペースト 3 2 0 が設けられ、これにより、ランド 3 1 4 は、スペーサ 4 0 0 の所定箇所に接続されている。

【 0 0 1 7 】

スペーサ 4 0 0 は、スペーサ部材 4 0 2 を備える。図 2 に示すように、スペーサ部材 4 0 2 は、実装基板 2 主面の互いに対向する奥行き方向に平行な 2 辺に沿って、平行に 2 本配置されている。図 1 に示す断面においては、各スペーサ部材 4 0 2 は、半導体装置 2 0 0 よりも、多少高さの高い柱状の部材である。再び、図 2 を参照して、背面から見た場合には、各スペーサ部材 4 0 2 は、奥行き方向に長い、棒状の部材である。

【 0 0 1 8 】

各スペーサ部材 4 0 2 背面には、複数の下段ランド 4 0 4 が、奥行き方向に並べられて配置されている。図 1 を参照して、各スペーサ部材 4 0 2 の主面側には、各下段ランド 4 0 4 に対応して、同数の上段ランド 4 0 6 が配列されている。

【 0 0 1 9 】

図 3 は、図 2 の A - A ' 方向におけるスペーサ 4 0 0 の断面模式図である。

図 3 に示すように、各スペーサ部材 4 0 2 内部の、各ランド 4 0 4、4 0 6 が設けられている位置には、主面側から背面側まで、スペーサ部材 4 0 2 を貫通するスルーホール 4 0 8 が設けられている。各スルーホール 4 0 8 には、導電体が充填され、これにより、下段ランド 4 0 4 と上段ランド 4 0 6 とがそれぞれ接続されている。

【 0 0 2 0 】

このように構成された各スペーサ部材 4 0 2 の下段ランド 4 0 4 は、それぞれ、実装基板 2 の上段半導体 3 0 0 用のランド 6 に接続されている。また、各スペーサ部材 4 0 2 の各上段ランド 4 0 6 は、それぞれ、半田ペースト 3 2 0 により、上段半導体 3 0 0 の背面の 3 1 4 に接続されている。

【 0 0 2 1 】

即ち、上段半導体 3 0 0 において、半導体チップ 3 0 4 の主面に形成された各ボンディングパッド 3 0 6 は、それぞれ、ワイヤ 3 0 8 を介してパッド 3 1 0 に接続され、各パッド 3 1 0 が、それぞれ、スルーホール 3 1 6 を介して、ランド 3 1 4 に接続されている。また、各ランド 3 1 4 は、それぞれ、半田ペースト 3 2 0 により、上段ランド 4 0 6 に接続され、各上段ランド 4 0 6 が、それぞれ、スルーホール 4 0 8 を介して下段ランド 4 0 4 に接続されている。更に、各下段

ランド404が、実装基板2主面の上段半導体300用のランド6に接続され、これにより、半導体チップ304は、外部との電氣的な接続を得ることができるようになっている。

【0022】

下段半導体200は、上述のように、外部との接触が確保された状態で、上段半導体300の基板2と、実装基板2との間の、スペーサ400を介してできる空間に配置されている。

【0023】

尚、半導体装置100は、上述のように構成されているため、それぞれの部材に設けられた、接続用の各端子、即ち、実装基板2のランド4、6、半導体装置200の半田ボール220、ランド214、パッド210、ボンディングパッド206、半導体300のランド214、パッド310、ボンディングパッド206、更に、スペーサ400のランド404、406は、実装基板2あるいは、基板202、302の互いに対向する奥行き方向に平行な2辺に沿って、所定の位置に並べられ、互いに接続される各端子に対応する位置に、対応する端子と同じ数配置されている。

【0024】

以上説明したように、この発明によれば、スペーサ400を介して、上段半導体300を配置し、上段半導体300とスペーサ400とに囲まれた空間に下段半導体200を配置することができる。したがって、1の半導体装置100に2つの半導体を搭載することができ、半導体装置の縮小化、高機能化を図ることができる。また、上段半導体300、下段半導体200は、それぞれ、通常通りの工程で形成し、従来通りのパッケージを用いて、パッケージした状態で、スペーサ400を用いて、これらの半導体を重ねることができる。したがって、スペーサ400のみを準備すれば、上段、下段半導体を載置する基板等、特別なものを準備する必要もなく、また、特に複雑な工程を必要とせず、安価に、小型化、高機能化した半導体装置を得ることができる。

【0025】

なお、実施の形態1では、各半導体200、300において、ボンディングパ

ッド 2 0 6、3 0 6 が、各半導体チップ 2 0 4、3 0 4 の外周部の対向する 2 辺にのみ、配列され、これに対応して、各部材の端子が形成されている場合について説明した。しかし、この発明はこのような端子の配置に限るものではなく、例えば、外周部一周にボンディングパッドが配置されているものなど他の構造のものであってもよい。このような場合にも、ボンディングパッドの配列に合わせて配置された上段半導体のランドの位置にあわせて、ランドを形成したスペーサを設けて対応すればよい。

【 0 0 2 6 】

また、この発明において、上段、下段の半導体のパッケージは、この実施の形態 1 において説明した下段半導体 2 0 0、3 0 0 のパッケージに限るものではない。例えば、ボンディングパッドと、基板上のパッドがワイヤで接続されるものではなく、基板に設けられたスルーホールを介して、直接接続されるような構造のパッケージなど、他の構造のものであってもよい。この場合にも、上段半導体の基板に設けられた外部接続用の端子と接続できるように、ランドを配置したスペーサを用いればよい。

【 0 0 2 7 】

また、この発明において、スペーサ部材 4 0 2 は、下段ランド 4 0 4 を半田ランドとして、これにより、実装基板 2 のランドと接続する場合について説明した。しかし、この発明は、これに限るものではなく、例えば、図 5 に示すように、下段ランド部分 4 0 4 を、半田ボール 4 1 0 として、これにより、実装基板 2 のランド 6 と接続するものであってもよい。また、これは、下段ランド 4 0 4 に限らず、他の部分、例えば、上段ランド 4 0 6 や、半導体 3 0 0 の半田ペースト 3 2 0 が半田ボールであっても良く、また、半導体 2 0 0 の半田ボール 2 2 0 が、半田ペースト等であっても良い。

【 0 0 2 8 】

実施の形態 2.

図 5 は、この発明の実施の形態 2 におけるスペーサ基板 4 2 0 を説明するための上面図である。また、図 6 は、図 5 における B-B' 方向のスペーサ基板 4 2 0 の断面図である。

実施の形態 2 において製造される半導体装置 1 0 0 は、実施の形態 1 において製造される半導体装置と同様である。したがって、半導体装置 1 0 0 内で用いられるスペーサ 4 0 0 も、同様に、スペーサ部材 4 0 2、及びスルーホール 4 0 8 で接続された下段ランド 4 0 4 と、上段ランド 4 0 6 とを備える。

【 0 0 2 9 】

しかし、実施の形態 2 においては、図 5、図 6 に示すような、スペーサ基板 4 2 0 を用いて、半導体装置 1 0 0 を組み立てる。図 5、図 6 に示すように、スペーサ基板 4 2 0 には、1 の半導体装置 1 0 0 内で用いられる 1 組のスペーサ部材 4 0 2 が複数組連続して形成されている。また、1 組のスペーサ部材 4 0 2 に挟まれている部分には、下段半導体 2 0 0 を載置するための空間 4 2 2 が設けられている。また、スペーサ部材 4 0 2 には、実施の形態 1 で説明したように、スルーホール 4 0 8 により接続された下段ランド 4 0 4 と、上段ランド 4 0 6 とが予め形成されている。

【 0 0 3 0 】

図 7 は、この発明の実施の形態 2 における半導体装置 1 0 0 の製造方法を説明するためのフロー図である。また、図 8 ～図 1 2 は、実施の形態 2 における半導体装置 1 0 0 の各製造工程における状態を説明するための断面図である。

以下、図 7 ～図 1 2 を参照して、この発明の実施の形態 2 における半導体装置 1 0 0 の製造方法について説明する。

【 0 0 3 1 】

まず、図 8 に示すように、スペーサ基板 4 2 0 の上段ランド 4 0 6 上に半田 4 2 4 を印刷する(ステップ S 2)。次に、図 9 に示すように、半田 4 2 4 により、スペーサ部材 4 0 2 上に、上段半導体 3 0 0 を、それぞれ搭載し(ステップ S 4)、加熱する(ステップ S 6)。これにより、半田 4 2 4 が溶解して、上段ランド 4 0 6 と、上段半導体 3 0 0 のランド 3 1 4 とが接着される。次に、図 1 0 に示すように、スペーサ基板 4 2 0 の下段ランド 4 0 4 に、半田 4 2 6 を印刷する(ステップ S 8)。

【 0 0 3 2 】

一方、実装基板 2 に、下段半導体 2 0 0 を搭載し(ステップ S 8)、加熱する

(ステップ S 1 0)。これにより、下段半導体 2 0 0 を、実装基板 2 に接着する。

次に、図 1 2 に示すように、スペーサ基板 4 2 0 の下段ランド 4 0 4 に、下段半導体 2 0 0 を搭載する (ステップ S 1 2)。このとき、下段半導体 2 0 0 は、スペーサ基板 4 2 0 の空間 4 2 2 に配置されるようにする。その後、リフローを行い (ステップ S 1 4)、個々の半導体装置 1 0 0 ごとに、スペーサ基板 4 2 0 を分割する (ステップ S 1 6)。

以上のようにして、図 1 に示すような半導体装置 1 0 0 が形成される。

その他の部分は、実施の形態 1 と同様であるから説明を省略する。

【 0 0 3 3 】

以上説明したように、実施の形態 2 においては、複数のスペーサ 4 0 0 が連続して形成されたスペーサ基板 4 2 0 を用いる。これにより、上段半導体 3 0 0 と、下段半導体 2 0 0 とを搭載する工程を、複数の半導体装置について一括して行うことができ、半導体装置の製造時間を短縮することができる。

【 0 0 3 4 】

なお、この実施の形態においては、実装基板 2 の主面側にのみ上下の半導体 2 0 0、3 0 0 を搭載する場合について説明した。しかし、この発明は、これに限るものではなく、実装基板 2 の両面に、半導体 2 0 0、3 0 0 を搭載するものであっても良い。この場合にも、上述したものと同様の工程を繰り返すことにより、半導体装置を組み立てることができる。

【 0 0 3 5 】

実施の形態 3。

図 1 3 は、この発明の半導体装置 5 0 0 を説明するための断面図である。

図 1 3 に示すように、半導体装置 5 0 0 の上段半導体 3 0 0 及びスペーサ 4 0 0 の配置構成は、実施の形態 1 において説明した半導体装置 1 0 0 と同様である。しかし、半導体装置 5 0 0 においては、上段半導体 3 0 0 の下方に配置される下段半導体 6 0 0 は、実施の形態 1 で説明したものは異なる。実施の形態 1 において説明した下段半導体 2 0 0 は、BGA (Ball Grid Array) を用いてパッケージしたものであるが、この実施の形態 3 における下段半導体 6 0 0 は、LGA

(Land Grid Array) を用いた、小型の半導体である。また、下段半導体 6 0 0 は、上段半導体 3 0 0 の下方に、5 個配置され、これに対応して、実装基板 2 に設けられたランド 4 に接続されている。

その他の部分は、実施の形態 1 と同様であるから説明を省略する。

【 0 0 3 6 】

以上説明したように、この実施の形態 3 においても、上段半導体 3 0 0 と、実装基板 2 との間にスペーサが設けられている。したがって、実装基板 2 と、上段半導体 3 0 0 との間に、下段半導体 6 0 0 を配置することができ、半導体装置 1 0 0 の小型化、高機能化を図ることができる。

【 0 0 3 7 】

なお、この実施の形態では、下段半導体として、5 つの半導体を配置したが、この発明はこれに限るものではなく、上段半導体 3 0 0 下方のスペースと、下段半導体の大きさとを考慮すれば、必要な個数配置することができる。

【 0 0 3 8 】

また、この実施の形態では、下段半導体として、L G A を用いた半導体を配置する場合について説明した。しかし、この発明は、これに限るものではなく、例えば、Q F P (Quad Flat Package) 等、他のパッケージの半導体装置等や、あるいは、T r、抵抗といったチップ部品などを配置するものであってもよい。

【 0 0 3 9 】

なお、この発明において第 1、第 2 の半導体には、それぞれ、例えば、実施の形態における上段半導体 3 0 0、下段半導体 2 0 0 とが該当する。また、例えば、実施の形態 2 におけるステップ S 2 ～ S 6 を実行することにより、第 1 の半導体搭載工程が実行され、例えば、ステップ S 1 2 を実行することにより、第 2 の半導体搭載工程が実行され、例えば、ステップ S 1 6 を実行することにより、分割工程が実行される。

【 0 0 4 0 】

【発明の効果】

以上説明したように、この発明によれば、第 1 の半導体と、実装基板との間に、スペーサを設けて、実装基板と、第 1 の半導体により形成される空間に、第 2

の半導体を配置する。従って、特に、第 1、第 2 の半導体を載置する基板等を準備する必要とせず、通常の工程で形成された半導体を容易に重ねることができるため、安価に、小型化、高機能化した半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における半導体装置を説明するための断面模式図である。

【図 2】 この発明の実施の形態 1 における半導体装置を説明するための背面模式図である。

【図 3】 この発明の実施の形態 1 におけるスペーサを説明するための断面模式図である。

【図 4】 この発明の実施の形態 1 における半導体装置を説明するための断面模式図である。

【図 5】 この発明の実施の形態 2 におけるスペーサ基板を説明するための上面模式図である。

【図 6】 この発明の実施の形態 2 におけるスペーサ基板を説明するための断面模式図である。

【図 7】 この発明の実施の形態 2 における半導体装置の製造方法を説明するためのフロー図である。

【図 8】 この発明の実施の形態 2 における半導体装置の製造工程における状態を説明するための断面模式図である。

【図 9】 この発明の実施の形態 2 における半導体装置の製造工程における状態を説明するための断面模式図である。

【図 1 0】 この発明の実施の形態 2 における半導体装置の製造工程における状態を説明するための断面模式図である。

【図 1 1】 この発明の実施の形態 2 における半導体装置の製造工程における状態を説明するための断面模式図である。

【図 1 2】 この発明の実施の形態 2 における半導体装置の製造工程における状態を説明するための断面模式図である。

【図 1 3】 この発明の実施の形態 3 における半導体装置を説明するための

断面模式図である。

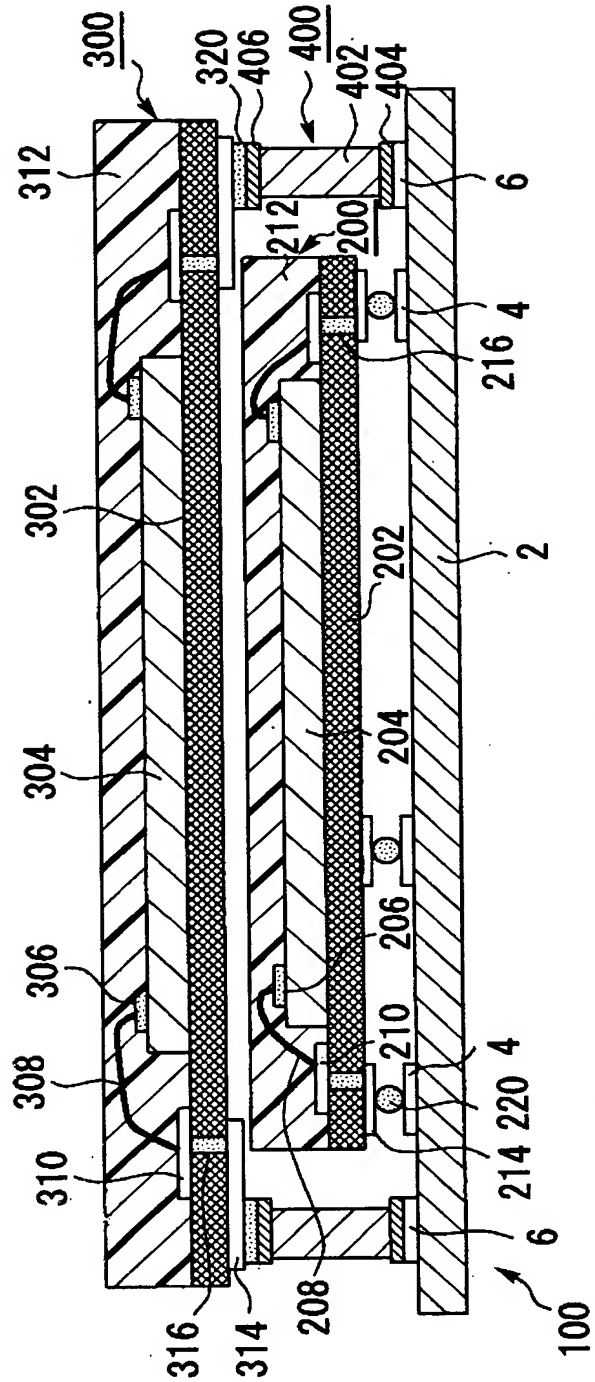
【符号の説明】

2 実装基板、 4 下段半導体用のランド、 6 上段半導体用のランド、
 100 半導体装置、 200 下段半導体、 300 上段半導体、 202
 、 302 基板、 204、 304 半導体チップ、 206、 306 ボンデ
 イングパッド、 208、 308 ワイヤ、 210、 310 パッド、 21
 2、 312 封止樹脂、 214、 314 ランド、 216、 316 スルー
 ホール、 220 半田ボール、 320 半田ペースト、 400 スペーサ
 、 402 スペーサ部材、 404 下段ランド、 406 上段ランド、
 408 スルーホール、 410 半田ボール、 420 スペーサ基板、 4
 22 空間、 424、 426 半田、 500 半導体装置、 600 下段
 半導体。

【書類名】

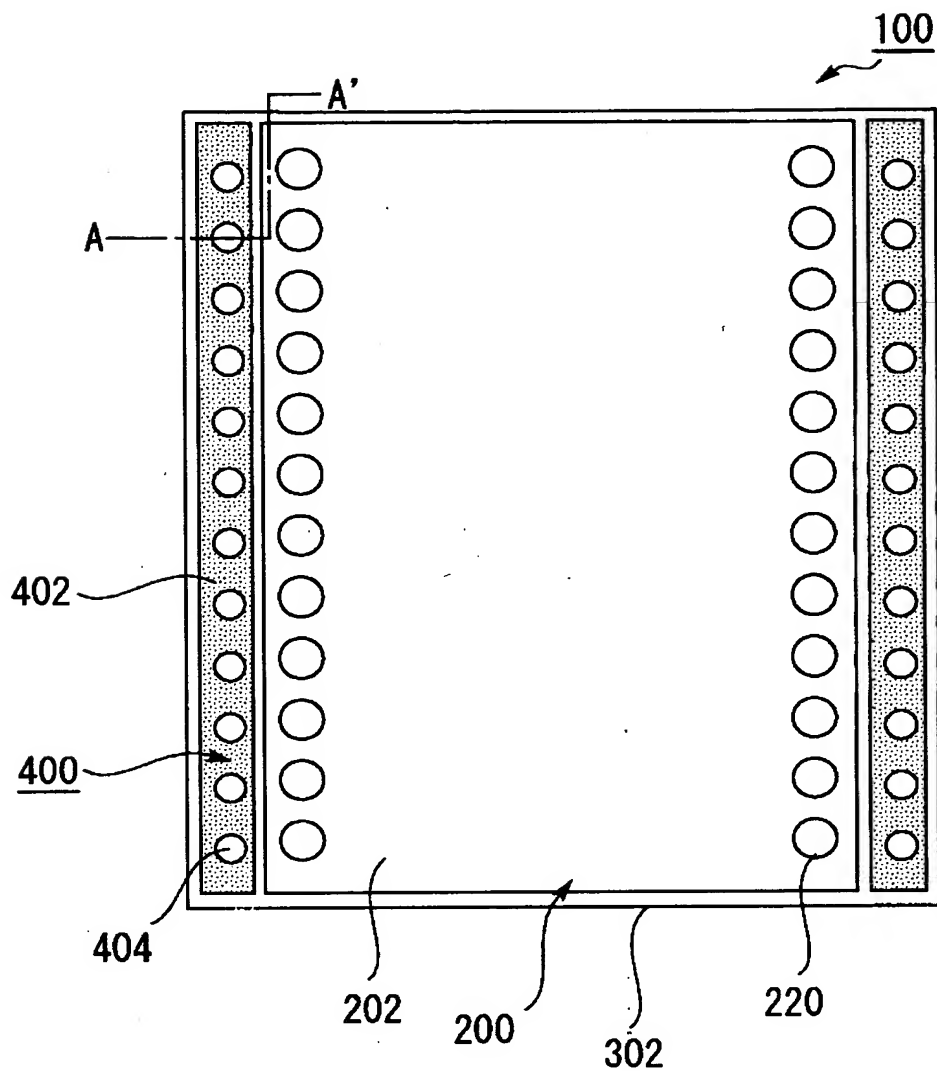
図面

【図 1】

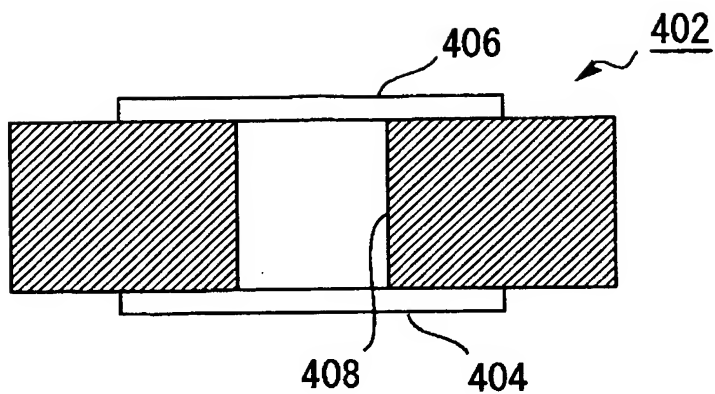


- | | | |
|---------------|---------------------|-------------|
| 100: 半導体装置 | 204, 304: 半導体チップ | 220: 半田ボール |
| 200: 下段半導体 | 206, 306: ボンディングパッド | 320: 半田ペースト |
| 300: 上段半導体 | 208, 308: ワイヤ | 400: スペーサ |
| 2: 実装基板 | 210, 310: パッド | 402: スペーサ部材 |
| 4: 下段半導体用のランド | 212, 312: 樹脂封止部 | 404: 下段ランド |
| 6: 上段半導体用のランド | 214, 314: ランド | 406: 上段ランド |
| 202, 302: 基板 | 216, 316: スルーホール | |

【図 2】

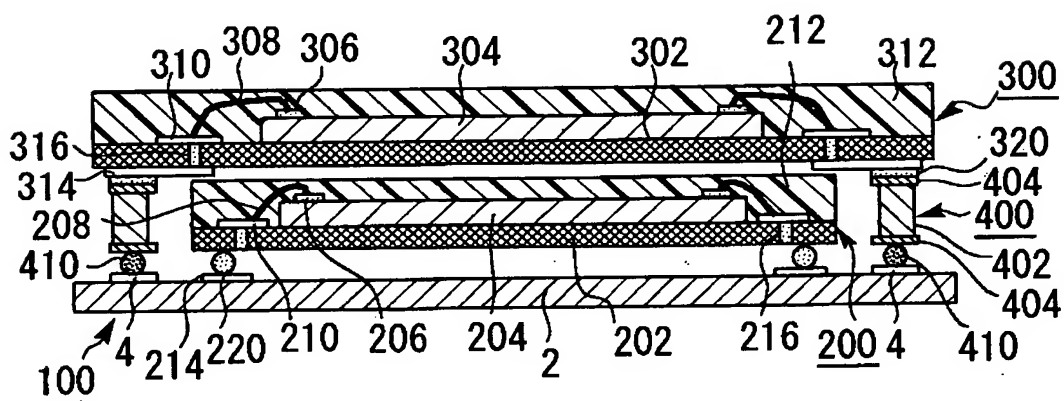


【図 3】



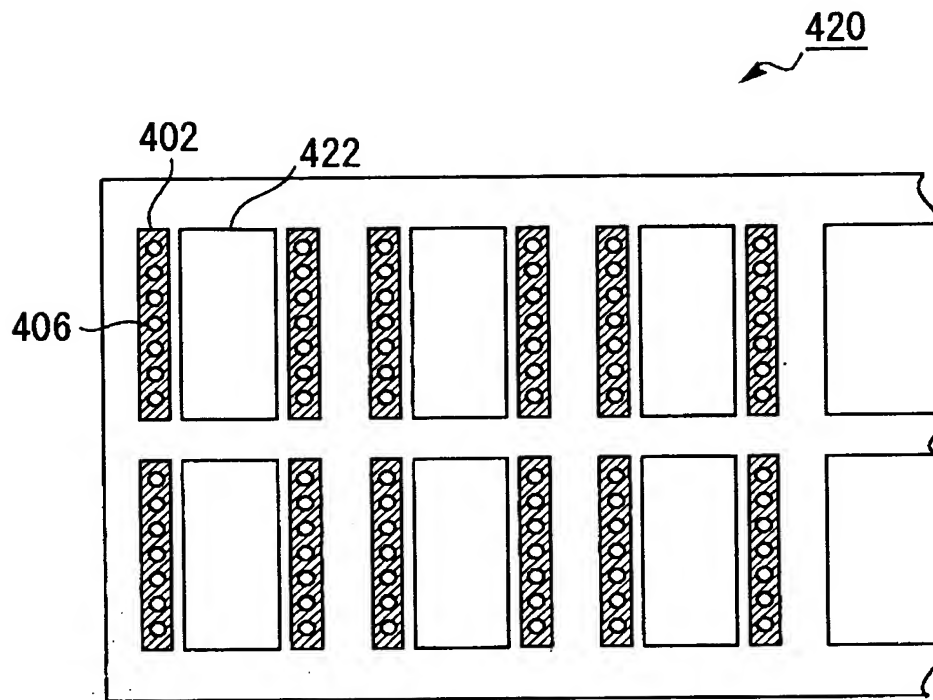
408: スルーホール

【図 4】



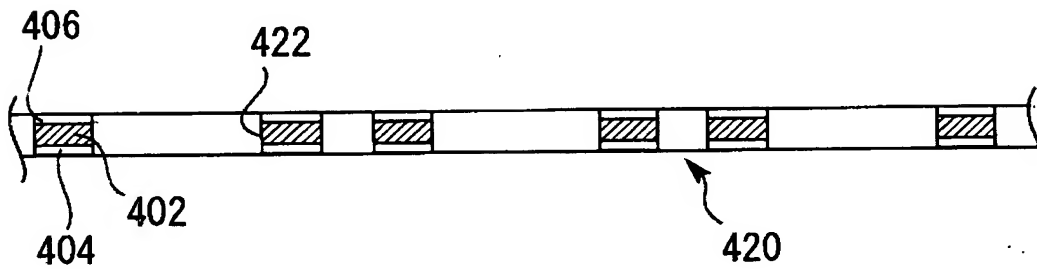
410: 半田ボール

【図 5】

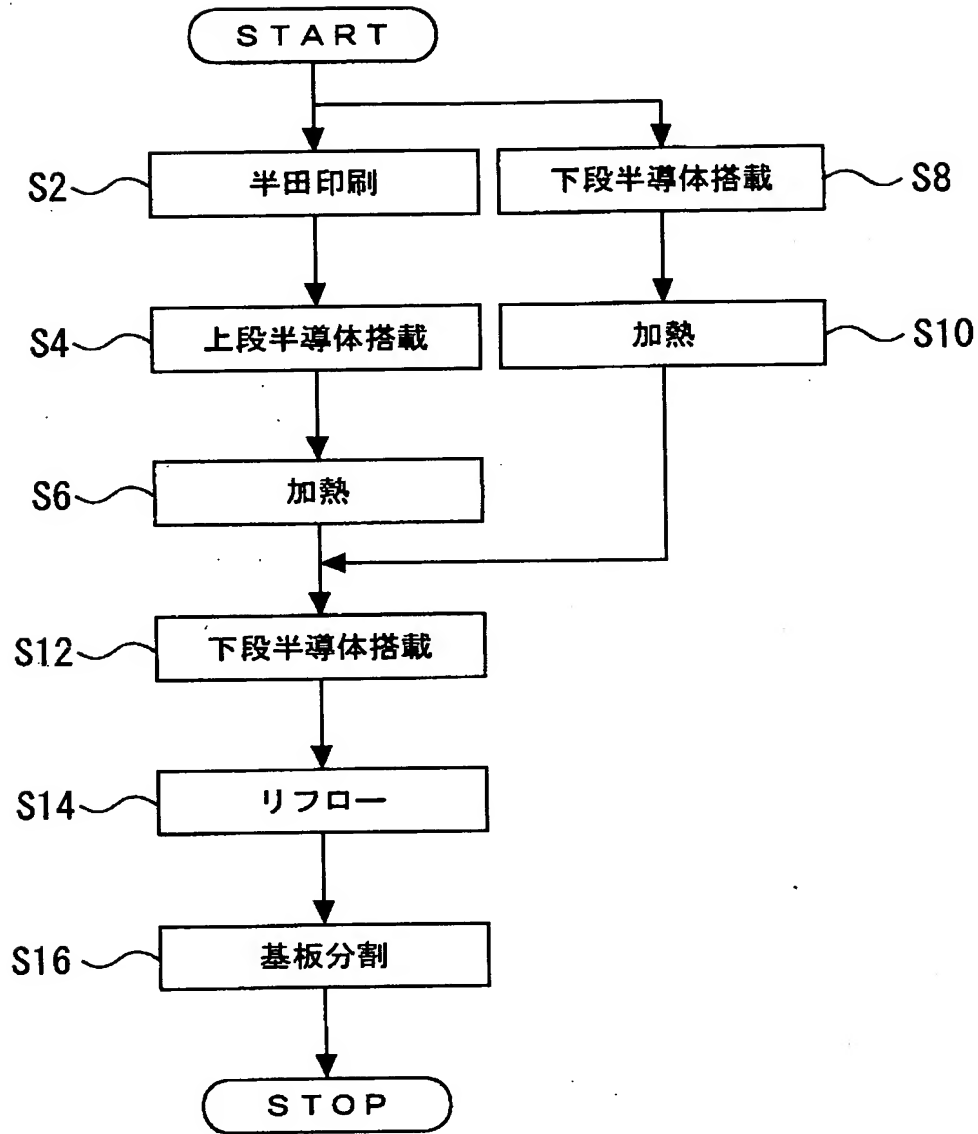


420: スペース基板
422: 空間

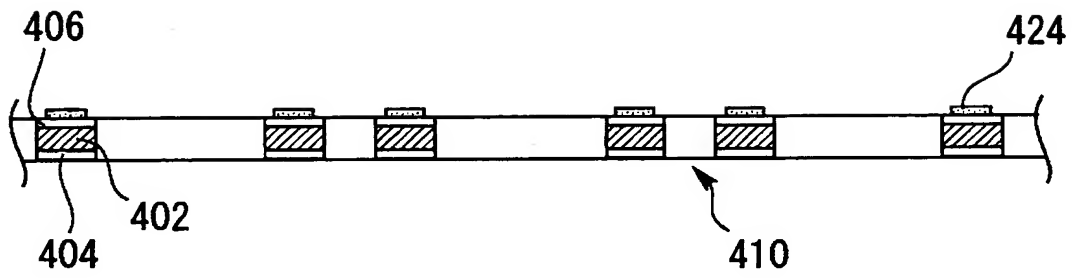
【図 6】



【図 7】

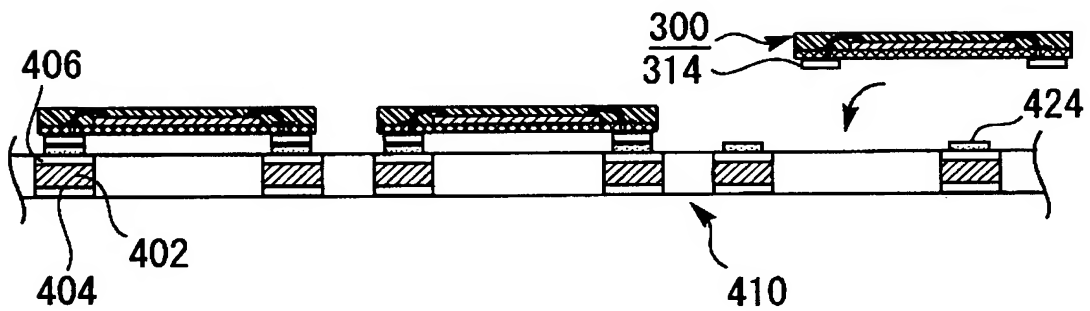


【図 8】

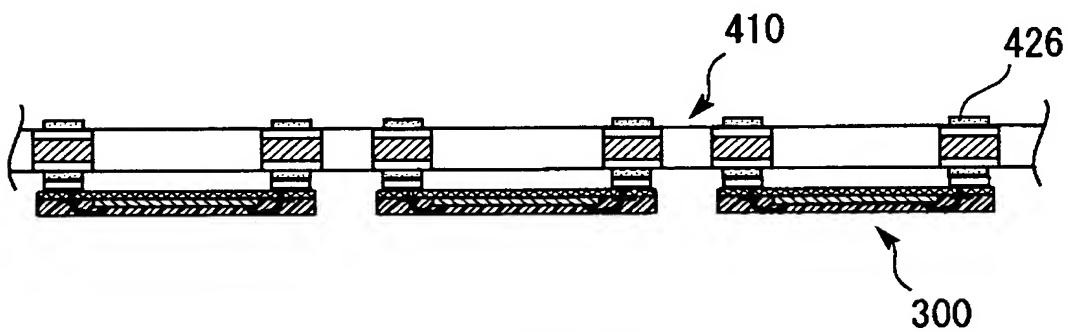


424: 半田

【図 9】



【図 1 0】

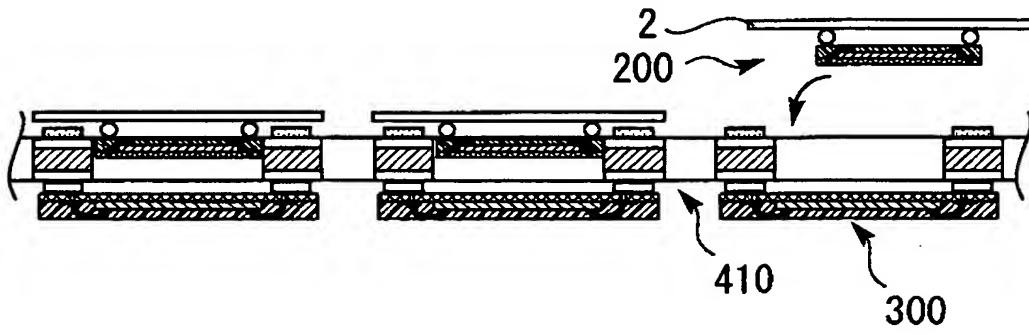


426: 半田

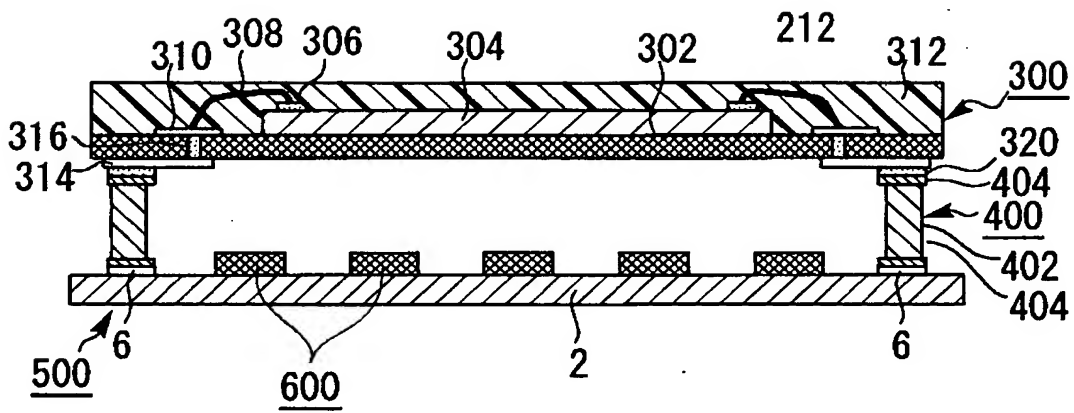
【図 1 1】



【図 1 2】



【図 1 3】



500: 半導体装置
600: 下段半導体

【書類名】 要約書

【要約】

【課題】 半導体装置の製造時間及び製造費用を抑えつつ、半導体装置の小型化、高機能化を図ることができるパッケージを用いた半導体装置及びその製造方法を提案する。

【解決手段】 半導体装置において、基板と、基板の主面に配置されて樹脂封止された半導体チップとを含む第 1 の半導体と、実装基板と、実装基板と、前記基板との間に配置されたスペーサと、第 2 の半導体とを配置する。この際、第 2 の半導体は、実装基板と、第 1 の半導体と、スペーサとにより形成される空間に、実装基板に電氣的に接続して配置する。また、スペーサは、第 1 の半導体と、実装基板とを、電氣的に接続するように配置する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社